



(19)

(11) Publication number:

59154808 A

Generated Document.

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 58027566

(51) Intl. Cl.: H03F 3/34 H03K 13/02

(22) Application date: 23.02.83

(30) Priority:

(43) Date of application publication: 03.09.84

(84) Designated contracting states:

(71) Applicant: HITACHI LTD

(72) Inventor: SAKAGUCHI JIRO

(74) Representative:

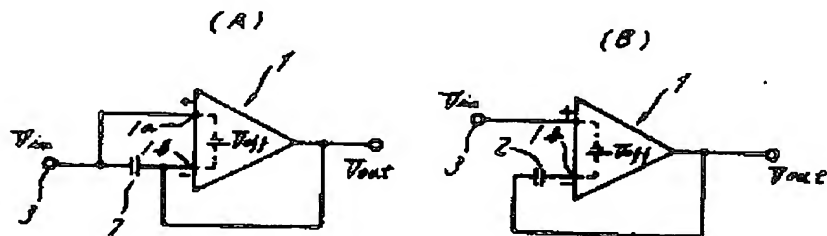
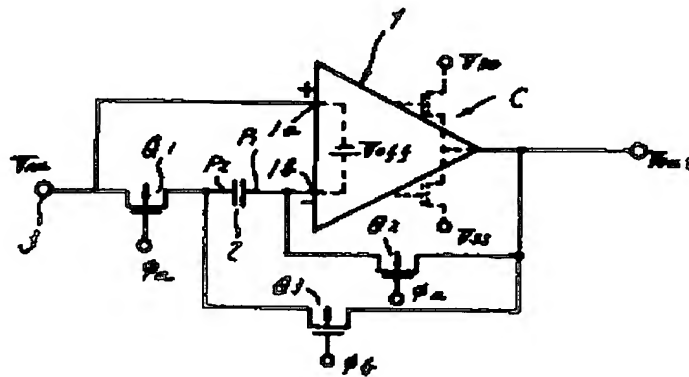
**(54) AMPLIFIER CIRCUIT AND SEMICONDUCTOR INTEGRATED CIRCUIT USING IT**

(57) Abstract:

**PURPOSE:** To eliminate adverse effect and to reduce the number of changeover switches by superimposing an input voltage at the detection of an offset voltage so as to reduce the change in the output.

**CONSTITUTION:** Switches Q1, Q2 are turned on by a clock  $\phi_{1a}$  at the detection of offset to cause an input voltage  $V_{in}$  and a voltage  $V_{out}$  to be impressed across an offset cancellation capacitor 2, which holds the difference voltage, i.e. the offset voltage. A voltage, subtraction of the offset voltage  $V_{off}$  from the input voltage  $V_{in}$  is outputted to an output terminal. In outputting an input voltage after sampling as a voltage follower, a switch Q3 is turned on by a clock  $\phi_{1b}$ , the switches Q1, Q2 are turned off, the offset voltage  $V_{off}$  of the capacitor 2 is added to the output voltage  $V_{out}$ , the result is impressed to an inverting input so as to cancel the offset and the same voltage as the  $V_{in}$  is outputted to the output terminal.

COPYRIGHT: (C)1984,JPO&amp;Japio



## ⑫ 公開特許公報 (A)

昭59—154808

⑪ Int. Cl.<sup>3</sup>  
H 03 F 3/34  
H 03 K 13/02

識別記号

庁内整理番号  
6628—5 J  
7530—5 J

⑬ 公開 昭和59年(1984)9月3日

発明の数 2  
審査請求 未請求

(全 9 頁)

⑭ 増幅回路およびこれを用いた半導体集積回路  
装置

⑮ 特 願 昭58—27566  
⑯ 出 願 昭58(1983)2月23日  
⑰ 発 明 者 坂口治朗

小平市上水本町1450番地株式会  
社日立製作所武蔵工場内  
⑱ 出 願 人 株式会社日立製作所  
東京都千代田区丸の内1丁目5  
番1号  
⑲ 代 理 人 弁理士 高橋明夫 外1名

## 明 細 書

発明の名称 増幅回路およびこれを用いた半導体  
集積回路装置

## 特許請求の範囲

1. 信号源に結合される入力端子と、反転入力端子と非反転入力端子と出力端子とを持つ差動増幅段と、その一方の端子が上記反転入力端子に結合され上記差動増幅段のオフセット電圧と実質的に等しい電圧をその端子間に保持すべきコンデンサと、上記非反転入力端子及び上記コンデンサの他方の端子を上記入力端子に結合させかつ上記コンデンサの上記一方の端子を上記出力端子に結合させる第1スイッチ状態と上記入力端子に供給される信号とその信号に対して実質的に差信号を構成する信号とを上記非反転入力端子と上記コンデンサの上記一方の端子との間に供給せしめる第2スイッチ状態とを持つようにスイッチ制御される複数のスイッチ素子とを備えてなることを特徴とする増幅回路。

2. 上記増幅回路は A/D 変換回路もしくは D/A

(1)

A 変換回路に供給すべき基準電圧を増幅するためのバッファアンプを構成し、かつ上記増幅回路と上記 A/D もしくは D/A 変換回路とが1つの集積回路として同一の半導体基板上に形成されてなることを特徴とする半導体集積回路装置。

3. 上記増幅回路と、上記増幅回路から出力される基準電圧を受ける上記 A/D もしくは D/A 変換回路とは、共通の電源ラインを介して電源電圧が供給されるようにされてなることを特徴とする特許請求の範囲第2項記載の半導体集積回路装置

## 発明の詳細な説明

## 〔技術分野〕

この発明は差動増幅段(差動増幅器)を用いた増幅回路および半導体集積回路に関し、特に差動増幅段におけるオフセット電圧をキャンセルさせるのに有効な技術に関するものである。

## 〔背景技術〕

差動増幅器は応々にしてその内部素子の特性ばらつきなどの不均一性によって無視し得ないオフセット電圧を持つようになる。差動増幅回路がオ

(2)

フセット電圧を持つとその応用回路例えば正帰増幅器やボルテージフォロウのような増幅回路から、その入力電圧に比例した正確な値の出力電圧を出させることができなくなってくる。

第1図はオフセットキャンセル回路を備えたボルテージフォロウが示されている。図中、1は前記増幅器としての差動増幅器（以下オペアンプと称する）、2はコンデンサである。オペアンプ1の非反転入力端子1aには相補的にオン、オフされるスイッチ $S_1$ 、 $S_2$ を介して、入力電圧 $V_{in}$ と接地電位が選択的に印加されるようにされている。またオペアンプ1の反転入力端子1bには、スイッチ $S_3$ を介してオペアンプ1の出力端子が接続可能にされ、かつコンデンサ2の一方の端子が接続されている。コンデンサ2の他方の端子には相補的にオン、オフされるスイッチ $S_4$ と $S_5$ を介してオペアンプ1の出力電圧 $V_{out}$ または接地電位が選択的に印加されるようにされている。オペアンプ1内に破線で示されている電圧源 $V_{off}$ は、オペアンプ1の入力端子1a、1b間に存在

(3)

とみなされる。このときオペアンプ1の反転入力端子1bの電位は端子 $P_1$ の電位に対してコンデンサ2の充電電圧だけ変更される。その結果、オペアンプ1の出力側から見た入力オフセット電圧はコンデンサ2の充電電圧によってキャンセルされる。第2図(c)には、オペアンプ1の出力電圧の変化が示されている。期間 $T_1$ においては、コンデンサ2が第2図(b)のように接続されそのためオペアンプの出力端子には、入力電圧 $V_{in}$ に等しい正確な出力電圧が得られる。期間 $T_2$ においては、コンデンサ2が第2図(a)のように接続されオペアンプ1の出力はオフセット電圧 $V_{off}$ に等しくなる。

しかしながら、上記のような回路にあっては、必要とされるスイッチ素子が多い。またオペアンプ1の出力振幅が第2図(c)に示すごとく、 $V_{off} \sim V_{in}$ のレベル間を推移するような比較的大きな値であるので、これに応じて回路のグラウンドラインに流れるコンデンサ2の充放電の電流および出力段に流れる電流変化が大き

(5)

する入力オフセット電圧を等価的に表わしたものである。

上記回路にあっては、スイッチ $S_2$ 、 $S_3$ 、及び $S_4$ がオンにされかつスイッチ $S_1$ 及び $S_5$ がオフにされている状態と、スイッチ $S_2$ 、 $S_3$ 、及び $S_4$ がオフにされかつスイッチ $S_1$ 、 $S_5$ がオンにされている状態とをとる。スイッチ $S_2$ 、 $S_3$ 、 $S_4$ がオンされている回路の接続状態は第2図(a)に示すようになる。この状態ではオペアンプ1の出力がそのオフセット電圧 $V_{off}$ に等しくなるからコンデンサ2はオフセット電圧 $V_{off}$ に等しい電圧まで充電される。スイッチ $S_1$ と $S_5$ がオンされ、スイッチ $S_2$ 、 $S_3$ 、 $S_4$ がオフされると、回路の接続状態は第2図(b)のようになる。この状態ではコンデンサ2はそれまで回路の接地点に接続されていた端子 $P_1$ が、オペアンプ1の出力端子に接続され、オペアンプ1の出力端子に接続されていた端子 $P_2$ がオペアンプ1の反転入力端子1bに接続される。この状態では、コンデンサ2の端子 $P_1$ がオペアンプの実質的な反転入力端子

(4)

くなってしまう。このことは、次のことを意味する。

すなわち、一般に、回路の配線はその抵抗、インダクタンス、容量等によって無視し得ない配線インピーダンスを持つ。上述のような大きい電流変化が生ずると、これによってグラウンドライン、電源ラインにノイズ電圧が生ずることになる。特に、図示のオペアンプ1、スイッチ素子 $S_1$ ないし $S_5$ 、及びコンデンサ2を集積回路技術によって図示しない種々の回路とともに1つの半導体チップ上に形成する場合、グラウンドライン、電源ラインが比較的大きな値の共通インピーダンスを持つことになるので、図示の回路及び図示しない種々の回路がグラウンドライン、電源ラインによって構成される共通インピーダンスを介して不所望に結合されてしまうことになる。その結果、図示の回路の動作によってグラウンドライン、電源ラインに生ずるノイズは、種々の回路に悪影響を与えることになる。共通インピーダンスは、集積回路が突

(6)

装されるプリント基板の電源ライン、グラウンドラインにも存在する。

共通インピーダンスを介する回路相互間の不所望な結合を防ぐために、特にノイズ源となる回路のグラウンドライン、電源ラインと他の回路のグラウンドライン、電源ラインとを分けることを考えることができるが、この場合は、配線数が増加する。また、集積回路の外部端子を増加させなければならなくなってくる。

#### 〔発明の目的〕

従って、この発明の1つの目的は、オフセット電圧キャンセル用のコンデンサの接続を切替えるためのスイッチ素子の数を減少できる増幅回路を提供することにある。

この発明の他の目的は、グラウンドライン及び電源ラインに生ずるノイズを小さくさせることができる増幅回路を提供することにある。

この発明の他の目的は、M I B (金属・絶縁物・半導体) 集積回路に適する増幅回路を提供することにある。

(7)

を与えるとともに上記オペアンプの反転入力端子に上記コンデンサを介して帰還信号を与えるようにした正転増幅回路であって、上記コンデンサにキャンセルすべきオフセット電圧と対応する電圧を書き込むべきときに、上記非反転入力端子と上記コンデンサの他方の端子とを信号源に結合させるとともに上記コンデンサの上記一方の端子を上記オペアンプの出力端子に結合させることによって、増幅動作時と上記のような書き込み動作時における上記オペアンプの出力電圧の変化を最小限に抑え、かつオフセット電圧をキャンセルさせて入力電圧に正確に比例した出力電圧を得ることができるようにされる。このような増幅回路は、それが  $A/D$ 、 $D/A$  変換回路の基準電圧バッファアンプとして適用されると、電源電圧ラインへのノイズの発生を少なくすることができるので  $A/D$ 、 $D/A$  変換の精度を高めるとともに、使用スイッチ数を減らし、かつグラウンドラインをなくすことによって回路の占有面積を減少させるものである。

(9)

本発明の他の目的は、正転増幅器として適するオフセット電圧キャンセル用コンデンサを持つ増幅回路を提供することにある。

この発明の他の目的は上記のようなオフセットキャンセル作用を有する増幅回路を  $A/D$ 、 $D/A$  変換回路に用いることにより、電源電圧へのノイズの発生を抑えながら正確な基準電圧を供給して回路の変換精度を向上させるとともに、回路の占有面積を減少させることにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

#### 〔発明の概要〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、オペアンプと、上記オペアンプの反転入力端子に一方の端子が結合されたオフセット電圧キャンセル用コンデンサとを持ち、増幅動作時に上記オペアンプの非反転入力端子に入力信号

(8)

以下図面を用いてこの発明を説明する。

#### 〔実施例 1-1〕

第3図は本発明をボルテージフォロウに適用した場合の一実施例を示すものである。この実施例では、オペアンプ1の非反転入力端子1aが回路の入力端子3に直接接続され、またオペアンプ1の反転入力端子1bがコンデンサ2およびスイッチM O S F E T Q<sub>1</sub>を介して回路の入力端子3に間接的に接続されるようにされている。

上記コンデンサ2のオペアンプ1側に結合された一方の端子P<sub>1</sub>とオペアンプ1の出力端子V<sub>out</sub>との間にスイッチ素子としての絶縁ゲート型電界効果トランジスタ(以下M O S F E Tと称する)Q<sub>2</sub>が接続され、コンデンサ2のM O S F E T Q<sub>1</sub>側に結合された他方の端子P<sub>2</sub>とオペアンプ1の出力端子との間にスイッチM O S F E T Q<sub>3</sub>が接続されている。回路の入力端子3は、図示しない信号源に結合される。

上記オペアンプ1は、特に制限されないが実質的に0の入力バイアス電流値を持つように、それ

00

ぞれゲートに入力信号を受ける一対の差動増幅 MOSFET から構成された入力段を含む相補型 MOSFET から構成される。相補型 MOSFET から構成されたオペアンプそれ自体は知られているので、その詳細は図示しない。オペアンプ 1 の入力バイアス電流が実質的に零とされることによって、図示の回路がボルテージフォロウとして動作されている期間における上記コンデンサ 2 の充電電圧は実質的に変化しないようになる。

図示のオペアンプ 1、スイッチ MOSFET  $Q_1$ 、 $Q_2$  及びコンデンサ 2 は、相補型 MOS 集積回路技術によって 1 つの半導体チップ（基板）上に形成される。

上記スイッチ MOSFET  $Q_1 \sim Q_2$  は、特に制限されないが、実施例の回路（ボルテージフォロウ）が、正の一定電圧を受けて A/D 変換器等の基準電圧バッファアンプとして使用されることを想定して、バイアス条件を良くするために、P チャンネル形に形成されている。これら P チャンネル形 MOSFET  $Q_1$ 、 $Q_2$  の基体ゲート

01

信号  $\phi_b$  によってオフされると、回路の接続状態は第 4 図(A)のようになされる。すなわち、回路はオペアンプ 1 の出力端子が、反転入力端子 1b に直接接続されたときの状態になる。このとき、オペアンプ 1 の出力電圧  $V_{out}$  は、非反転入力端子 1a との間にオフセット電圧  $V_{off}$  を与えるような値になる。非反転入力端子 1a が図示しない信号源によって電位  $V_{in}$  に維持されているので、出力電圧  $V_{out}$  は、 $V_{in} + V_{off}$  の値になる。このとき、コンデンサ 2 は、非反転入力端子 1a と反転入力端子 1b との間に加えられるオフセット電圧  $V_{off}$  に等しい電圧に充電される（本発明ではこれをオフセットキャンセル時と呼ぶことにする）。

次に、スイッチ MOSFET  $Q_1$ 、 $Q_2$  がオフされ、 $Q_2$  がオンされると、回路の接続状態は第 4 図(B)のようにされる。すなわち、回路はオペアンプ 1 の出力端子がコンデンサ 2 を介して反転入力端子 1b に接続された状態になる。このとき、コンデンサ 2 が予めオフセット電圧  $V_{off}$  まで充

03

は、正電源端子  $V_{DD}$  の電位に維持される。

上記スイッチ MOSFET  $Q_1$  と  $Q_2$  のゲート端子には、第 5 図(b)に示すようなクロック信号  $\phi_a$  が印加され、またスイッチ MOSFET  $Q_2$  のゲート端子には、第 5 図(c)に示すようなクロック信号  $\phi_b$  が印加されるようにされている。

上記クロック信号  $\phi_a$ 、 $\phi_b$  は、第 5 図(A)に示すような基準クロック CLK の供給を受けるようにされたところの例えば第 8 図に示すとき形成のクロックジェネレータ 4 によって形成され、ロウレベルの期間が互いに重ならないような逆相の信号にされる。

これに応じて、スイッチ MOSFET  $Q_1$ 、 $Q_2$  と  $Q_2$  とはクロック信号  $\phi_a$ 、 $\phi_b$  によって互いにオンの期間がオーバーラップしないように略相補的にオン、オフされる。

次に、図示の回路の動作を第 4 図(A)、(B)の回路接続状態図を用いて説明する。

まず、スイッチ MOSFET  $Q_1$  と  $Q_2$  がクロック信号  $\phi_a$  によってオンされ、 $Q_1$  がクロック

02

電圧に、かつスイッチの切換えにより出力端子に接続されるコンデンサ 2 の端子も切り換えられているので、コンデンサ 2 の充電電圧はオペアンプ 1 内の等価的なオフセット電圧に対して逆向きの極性の電圧として反転入力端子 1b に供給されることになる。すなわち、オペアンプ 1 のオフセット電圧は、コンデンサ 2 の充電電圧によってキャンセルされる。その結果として出力電圧  $V_{out}$  は入力電圧  $V_{in}$  と一致する。従ってこのときの出力電圧をサンプリングしてやれば、オフセットのキャンセルされた正確な出力電圧が得られることになる。

この実施例において、スイッチ MOSFET  $Q_1$ 、 $Q_2$  がオンされているときの出力電圧  $V_{out1}$  とスイッチ MOSFET  $Q_2$  がオンされているときの出力電圧  $V_{out2}$  との差すなわち出力変化量は第 5 図に示すように  $(V_{in} + V_{off}) - V_{in} = V_{off}$  となり、第 1 図の回路に比べて大幅に減少される。

第 7 図は、相補型 MOS 集積回路技術によって

04

半導体基板上に形成されるオフセット電圧キャンセル用のコンデンサ2の構造の一例を示すものである。同図においてN型単結晶シリコンのようなN形半導体基板11上に形成された比較的厚いフィールド酸化膜( $\text{SiO}_2$ )12上に導電性ポリシリコン層からなる第1の電極13が形成され、このポリシリコン層13の上方には $\text{SiO}_2$ からなるような比較的薄い絶縁膜14を介してアルミニウム層もしくはポリシリコン層からなる第2の電極15が形成されている。そして、上記ポリシリコン層13とアルミニウム層15とが上記コンデンサ2の端子を構成する。オペアンプ1における一対の図示しない差動入力MOSFETがそれぞれシリコンゲートMOSFETから構成される場合、上記電極13は、反転入力端子1bを構成する差動入力MOSFETのゲート電極と一体に形成されていても良い。

なお、上記実施例では、クロック信号 $\phi_a$ 、 $\phi_b$ によってオン、オフされるアナログスイッチ $Q_1 \sim Q_3$ としてPチャンネル形のMOSFETが使

04

が設けられている。上記スイッチ $SW_1 \sim SW_3$ としてはMOSFETを用いることができることはいうまでもなく、またスイッチ $SW_1 \sim SW_3$ は第3図の回路におけるスイッチ $Q_1 \sim Q_3$ と同一のクロック信号 $\phi_a$ 、 $\phi_b$ によってオン、オフ制御される。

スイッチ $SW_1$ と $SW_3$ がオンされ、 $SW_2$ がオフされた状態では、オペアンプ1の入力端子間、すなわちコンデンサ2の両端子間には、オフセット電圧 $V_{off}$ に等しい電圧差が生ずるようにオペアンプ1の出力電圧 $V_{out}$ が決定される。その結果コンデンサ2はオフセット電圧 $V_{off}$ に等しい電圧に充電される。このとき、ノード $n_1$ のレベルは、 $V_{in} + V_{off}$ となる。この値は出力電圧 $V_{out}$ を抵抗 $R_1$ と $R_2$ との比 $R_1/(R_1 + R_2)$ で分割した電圧に等しい。従って、出力電圧 $V_{out}$ は $A_v \cdot (V_{in} + V_{off})$ となる。ただし、 $A_v$ は回路の増幅率( $1 + R_2/R_1$ )である。

次に、スイッチ $SW_1$ 、 $SW_3$ がオフされ、 $SW_2$ がオンされると、ノード $n_1$ にはスイッチ

05

用されているが、これに限定されるものではない。例えば、上記ボルテージフォロウに供給される入力電圧 $V_{in}$ が負の電圧範囲にある場合や比較的小さい正又は負の電圧範囲にある場合には、アナログスイッチ $Q_1 \sim Q_3$ としてNチャンネル形のMOSFETを使用しても良い。入力電圧 $V_{in}$ が正と負の間を遷移するようなアナログ信号である場合には、アナログスイッチ $Q_1 \sim Q_3$ としてCMOSスイッチを用いるようにするのがよい。

〔実施例1-2〕

次に第8図は本発明を正転増幅回路すなわち非反転増幅回路に適用した場合の実施例を示す。

この実施例では、上記実施例と同様に回路の入力端子3にオペアンプ1の非反転入力端子1aが接続され、コンデンサ2とスイッチ $SW_1$ を介してオペアンプ1の反転入力端子1bが接続されている。そして、オペアンプ1の出力端子と接地点との間に抵抗 $R_1$ と $R_2$ が直列接続され、この抵抗 $R_1$ と $R_2$ との接続ノード $n_1$ と上記コンデンサ2の両端子との間にそれぞれスイッチ $SW_2$ と $SW_3$

06

$SW_3$ を介してコンデンサ2の反対側の端子 $P_2$ が接続される。そのため、コンデンサ2の充電電荷によってオペアンプ1のオフセット電圧 $V_{off}$ がキャンセルされ、ノード $n_1$ のレベルは非反転入力端子1aの電位と全く等しい電圧 $V_{in}$ にされる。従ってこのとき出力電圧 $V_{out}$ は $A_v \cdot V_{in}$ となる。オフセットキャンセル時の出力電圧 $V_{out1}$ と入力サンプリング時の出力電圧 $V_{out2}$ との電圧差すなわち振幅は $A_v \cdot V_{off}$ となる。

MOSFETによって構成されるオペアンプのオフセット電圧は通常数mVのオーダーであるので、上記のごとくゲイン倍されても、出力電圧 $V_{out}$ の振幅は従来に比べてかなり小さくなる。

〔実施例2-1〕

第9図には、内蔵するA/D変換器とD/A変換器へ基準電圧を供給するための基準電圧バッファアンプとして前記実施例のボルテージフォロウを使用した半導体集積回路のブロック図が示されている。同図の集積回路は、アナログ信号の高精度演算処理を可能とするための測定器の一部を構

07

成している。

図中、2点鎖線によって囲まれた回路ブロックが集積回路化される部分である。21は、入力端子IN及び集積回路(以下、IOと記す)の外部端子P<sub>1</sub>を介して入力されるアナログ入力信号をディジタル信号に変換するA/D変換器である。22はバスラインBUSを介して供給されるディジタル信号をアナログ信号に変換し、変換したアナログ信号をIOの外部端子P<sub>2</sub>を介して陰極表示管のような表示装置DBPに供給するためのD/A変換器である。

23は、その入出力端子がIOの外部端子P<sub>3</sub>、ないしP<sub>m</sub>に結合された入出力ポートである。図中において外部端子P<sub>3</sub>及びP<sub>r</sub>は特に制限されないが、測定器の種々動作モードを制御する信号を形成する操作キーK<sub>1</sub>、K<sub>2</sub>に結合されている外部端子P<sub>m</sub>は、例えばディジタル信号出力端子とされ、図示しない磁気テープレコーダのような外部記憶装置に結合される。

24及び25は、前記第3図に示した増幅回路

(4)

は、制御回路30によって動作制御されるスイッチSWによって行なわれる。

バッファアンプ24及び25を形成するオペアンプのオフセット電圧をキャンセルさせるために必要とされるパルス信号φ<sub>1</sub>、φ<sub>2</sub>は、制御回路から出力される。

27は、論理演算回路である。論理演算回路27は、バスラインBUSを介して演算すべきデータを受け、演算によって形成したデータをバイラインBUSに出力する。論理演算回路27の動作は、制御回路30によって制御される。

28は、リード・オンリ・メモリであり、その中に測定器の動作に必要な種々のプログラムや適当な参照データが書き込まれている。

29は、ランダム・アクセス・メモリである。このランダム・アクセス・メモリ29には、リード・オンリ・メモリから読み出されたプログラム、参照データ、A/D変換器21によって形成された入力データ、D/A変換器22や入出力ポート23などに供給すべきデータが書き込まれる。

(4)

と同様な構成にされたバッファアンプである。これらバッファアンプ24及び25は、基準電圧V<sub>ref</sub>を入力信号として受け、A/D変換器21及びD/A変換器22に供給するための基準電圧を形成する。この実施例においては、特に制限されないが、IO内には基準電圧発生回路26が形成される。基準電圧発生回路26は、例えば特願昭56-119072に記載したような構成、すなわちN型ポリシリコンからなるゲート電極を持つMOSFETとP型ポリシリコンからなるゲート電極を持つ同じチャンネル導電型のMOSFETとのしきい値電圧の差を取り出す回路、言い換えるとN型シリコンとP型シリコンとのフェルミレベル差に実質的に等しい電圧を出力する回路から構成することができる。バッファアンプ24及び25に供給すべき基準電圧V<sub>ref</sub>は、この実施例に従うと、上記基準電圧発生回路26の内部基準電圧と、IOの外部端子P<sub>3</sub>を介して供給される外部基準電圧とのいずれからも選択できるようにされる。内部基準電圧と外部基準電圧との選択

(4)

制御回路30は、その詳細を図示しないが、各種レジスタ、デコーダ及びシステムクロック発生回路などから構成される。リード・オンリ・メモリ28等から読み出された一連のプログラムを構成する命令語は、レジスタに供給され、デコーダによってデコードされる。これに応じて、制御回路30からは前述の各種回路の動作制御のための種々の制御パルスが出力される。

図示のIOには、その外部端子P<sub>3</sub>とP<sub>r</sub>との間に電源電圧が供給される。

図示の測定器において、入力端子INに供給されるアナログ信号は、リード・オンリ・メモリ(以下ROMと称する)28に書き込まれている適当なプログラムが実行されると、A/D変換器21によって順次にディジタル信号に変換され、バスラインBUSを介してランダム・アクセス・メモリ(以下RAMと称する)29に書き込まれる。その結果、RAM29内には、適当なサンプリングレートをもってサンプリングされかつディジタル化されたアナログ信号が書き込まれることにな

(4)

る。

RAM 29に書き込まれたアナログ信号は、論理演算回路27を利用する適当な演算によって所望のデータに変換される。ROM 28には、例えば周波数アナライザを構成するようなプログラムが書き込まれているとする。この場合、RAM 29に書き込まれているアナログ信号の周波数成分及びレベルが演算によって求められる。演算によって形成されたデジタルデータは、D/A変換器22によってアナログ信号に変換された上で表示装置DSPに供給される。

上記実施例において1回当りのA/D変換およびD/A変換に必要な時間は比較的短くされる。これに応じてA/D変換器21及びD/A変換器22に供給されるべき基準電圧は、A/D又はD/A変換が行なわれる間だけ正確な値にされていればよい。その結果、オフセットキャンセル用のコンデンサを充電している間は正確な出力電圧を取り出すことができない前記実施例(第3図)のボルテージフォロワであっても、基準電圧バッ

図

大きいと、信号の変化時に電源電圧 $V_{DD}$ から出力端子に向かって流れる電流あるいは出力端子から電源電圧 $V_{SS}$ に向かって流れる電流が大きくなって、電源ラインのレベルが変動されてしまう。その結果オペアンプと電源ラインを共通にするA/D変換器等の他の回路に、電源ラインの共通インピーダンスを通してノイズがまわり込むおそれがある。ところが、上記実施例では、出力振幅の小さな第3図に示すようなボルテージフォロワを、基準電圧バッファアンプとして使用しているので、電源ラインを通してA/D変換器等の他回路にノイズが伝わるおそれもない。

また、これによって、同一チップ内の各回路に、共通の電源ラインを介して電源電圧を供給することができる。従来は、このような場合、電源ラインを回って回り込むノイズを少なくするため、各回路への電源ラインを別々に形成しなければならなかったが、本発明によれば、電源ラインを共通にすることができ、配線の占める面積も減少される。

図

ァアンプとして使用することができる。

上記実施例においては、A/D変換器21へ供給される基準電圧とD/A変換器22に供給される基準電圧が、それぞれ別個のバッファアンプ24、25において発生されるようにされているため、A/D変換器21側とD/A変換器22側の変換動作によってバッファアンプ24、25に発生されるノイズが互いに伝わりにくくされる。

また、第3図のようなボルテージフォロワを基準電圧バッファアンプとして用いた場合、バッファアンプ24、25へはA/D、D/A変換器21、22に必要とされるグラウンドラインを引き込む必要がないのでグラウンドラインを通して回り込むノイズもなくなり、第1図の回路を用いた場合に比べて更にノイズが伝わりにくくされる。

さらに、MOS集積回路においては、オペアンプの出力段に例えば第3図に破線Cで示すように、電源電圧 $V_{DD}$  -  $V_{SS}$ 間に直列接続された2つのMOSFETからなる回路が一般に使用される。そのためオペアンプ1の出力電圧 $V_{out}$ の振幅が

図

〔効果〕

以上説明したごとくこの発明に係る増幅回路は、オペアンプの反転入力端子を、オフセットキャンセル用コンデンサとアナログスイッチを介して接地点ではなく回路の入力端子に接続してある。そのため、グラウンドラインが不要となり、かつ出力電圧の振幅を最小限に抑えながらオペアンプのオフセット電圧をキャンセルさせることができる。その結果、正確な出力電圧が得られるとともにコンデンサおよび出力段に流れる電流が少なくなってグラウンドラインおよび電源ラインを共通にする他回路への悪影響が防止される。

また、上記発明を適用した増幅回路を同一半導体基板上に形成されたA/D変換回路、D/A変換回路へ基準電圧を供給するバッファアンプとして用いた場合には、グラウンドラインおよび電源ラインを通して回り込むノイズが抑えられて変換精度が向上される。また、上記増幅回路はグラウンドラインが不要であり、かつアナログスイッチの数も少なくて済むため、これを用いた半導体集積回

図



路の占有面積が減少され、チップサイズを縮減できる。

しかも、電源ラインのノイズの発生が抑えられるため上記増幅回路とA/D、D/A変換回路等の他回路への電源ラインを共通にすることができ、これによって、配線の占有面積が減少され、さらにチップサイズを縮減できるようになるという効果がある。

以上本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

例えば、上記第9図の実施例においては、外部から基準電圧が内部のバッファアンプに供給されるようにされているが、この発明は、チップ内部でもとになる基準電圧を発生させるようにしたものにも適用できるものである。

図面の簡単な説明

第1図はオフセットキャンセル機能を備えた増

(例)

21…A/D変換回路、22…D/A変換回路、  
24、25…バッファアンプ。

代理人 弁理士 高橋 明



幅回路の一例を示す回路図、

(A)~(C)

第2図はその作用および出力波形を示す説明図、

第3図は本発明に係る増幅回路の一実施例を示

す回路図、

(A),(B)

第4図はその作用説明図、

第5図は制御信号および出力波形を示すタイミングチャート、

第6図はクロックジェネレータの一例を示す回路図、

第7図はコンデンサの構造の一例を示す半導体基板の断面説明図、

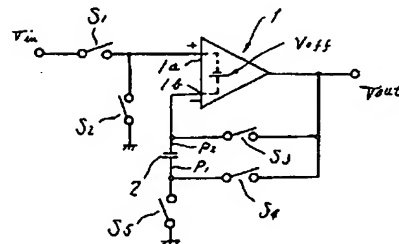
第8図は本発明に係る増幅回路の他の実施例を示す回路図、

第9図は第2の発明に係る半導体集積回路装置の一実施例を示すブロック構成図である。

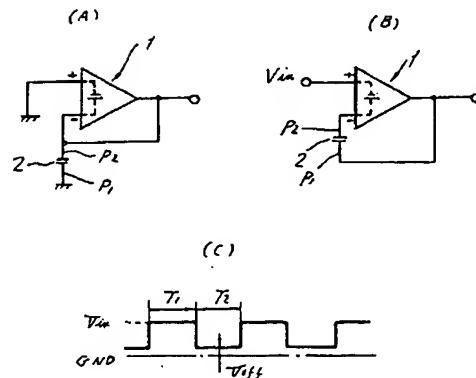
1…差動増幅器(オペアンプ)、1a…非反転入力端子、1b…反転入力端子、2…コンデンサ、3…入力端子、Q<sub>1</sub>~Q<sub>4</sub>…アナログスイッチ(スイッチMOSFET)、φ<sub>a</sub>、φ<sub>b</sub>…制御信号(クロック信号)、V<sub>off</sub>…オフセット電圧、

(例)

第 1 図

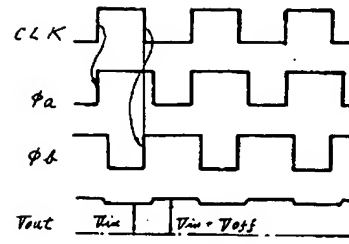


第 2 図

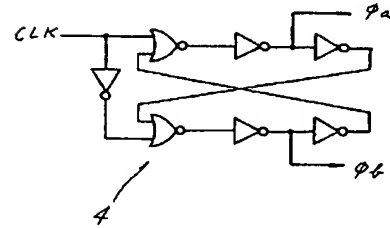


(例)

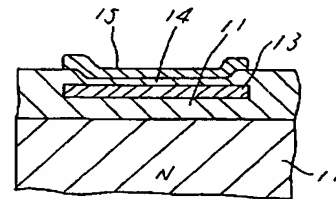
第 5 図



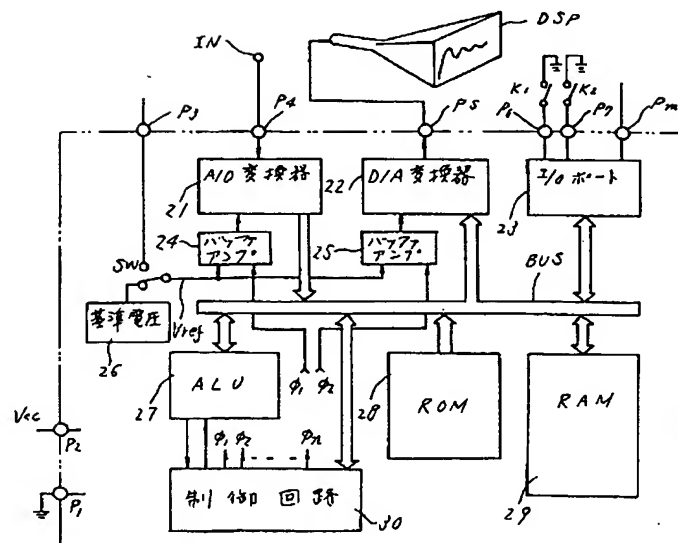
第 6 図



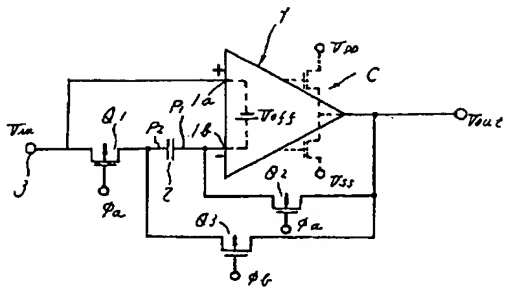
第 7 図



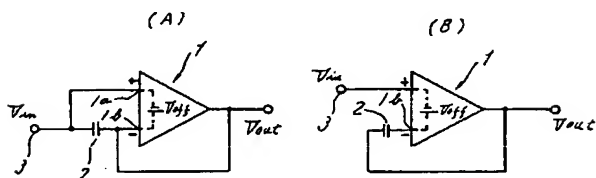
第 9 図



第 3 図



第 4 図



第 8 図

